

## Bölüm 9 FET'li Yükselteçler

### DENEY 9-1 Ortak-Kaynaklı (CS) JFET Yükselteç

#### DENEYİN AMACI

1. Ortak kaynaklı JFET yükseltecin öngerilim düzenlemesini anlamak.
2. Ortak kaynaklı JFET yükseltecin statik ve dinamik karakteristiklerini ölçmek.

#### GENEL BİLGİLER

FET'in en önemli üç parametresi aşağıda tanımlanmıştır:

$$1. \text{ gm (geçiş iletkenliği)} = \left. \frac{\delta i_o}{\delta V_{gs}} \right|_{V_{ds} = \text{sabit}}$$

$$\cong \left. \frac{i_d}{V_{gs}} \right|_{V_{ds} = 0} = \left. \frac{i_d}{V_{gs}} \right|_{V_{ds} = K}$$

$$2. \text{ rd (akaç direnci)} = \left. \frac{\delta V_{ds}}{\delta i_d} \right|_{V_{gs} = \text{sabit}}$$

$$\cong \left. \frac{V_{gs}}{i_d} \right|_{V_{gs} = 0} = \left. \frac{V_{gs}}{i_d} \right|_{V_{gs} = K}$$

$$3. \text{ } \mu \text{ (yükseltme faktörü)} = \left. \frac{-\delta V_{ds}}{-\delta V_{gs}} \right|_{i_d = \text{sabit}}$$

$$\cong \left. \frac{V_{ds}}{V_{gs}} \right|_{i_d = 0} = \left. \frac{V_{ds}}{V_{gs}} \right|_{i_d = K}$$

Yukarıdaki formüllerde kullanılan:

$i_d$  : akaç akımı (AC küçük işaret)

$V_{gs}$  : G ile S arasına uygulanan AC gerilim (küçük işaret)

$V_{ds}$  : D ile S arasında üretilen AC gerilim

## JFET için öngerilim düzenlemesi

1. JFET için sabit öngerilim düzenlemesi: Şekil 9-1-1'de gösterilmiştir.

(1) Şekil 9-1-1(a)'da, sabit öngerilimli p-kanallı FET devresi gösterilmiştir. Burada  $V_{DD}$ ,  $V_{DS}$  ve  $I_D$ 'yi meydana getirirken  $V_{GG}$  ise  $V_{GS}$ 'yi oluşturur. Şekil 9-1-1(b)'de akaç karakteristik eğrisi ve çalışma noktası gösterilmiştir. Çıkış devresinin çevre gerilimleri denklemi  $V_{DD}=I_D \times R_D + V_{DS}$  ile DC yük doğrusu çizilebilir ve çalışma noktasının konumu belirlenebilir.

(2)  $I_D = 0$  iken,  $V_{DD} = V_{DS}$  (A noktası)

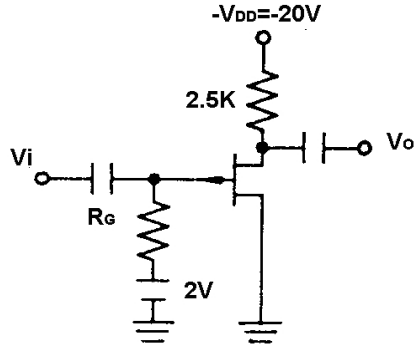
(3)  $V_{DS} = 0$  iken,  $I_D = V_{DD} / R_D = 20V / 2.5K = 8mA$  (B noktası).

A ve B noktaları arasına çizilecek doğru, DC yük doğrusudur.

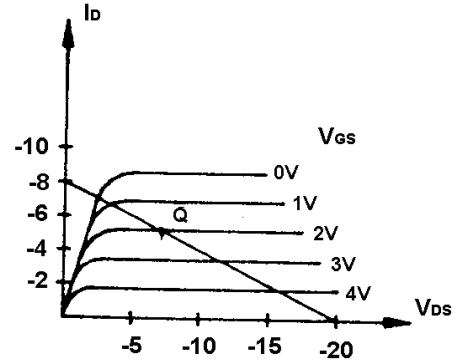
(4)  $I_G \approx 0$  olduğu için ( $R_i$  çok büyük),  $\therefore V_{RG} \approx 0V$  ve  $V_{GS} = V_G - V_S = V_{GG} = 2V$  Çalışma noktası, DC yük doğrusu ile  $V_{GS} = 2V$ 'a karşılık gelen eğrinin kesişim noktası Q bulunarak belirlenebilir. Q noktası ( $V_{DSQ}$ ,  $I_{DQ}$ ) aynı zamanda aşağıdaki iki denklem kullanılarak da hesaplanabilir:

$$V_{DSQ} = V_{DD} - I_{DQ} R_D$$

$$I_{DQ} = I_{DSS} (1 - V_{GSQ}/V_P)^2$$



(a) Öngerilim devresi



(b) Çıkış karakteristiği

Şekil 9-1-1 Sabit öngerilimli p-kanallı JFET devresi

2. JFET için kendinden öngerilimli düzenleme Şekil 9-1-2'de gösterilmiştir.

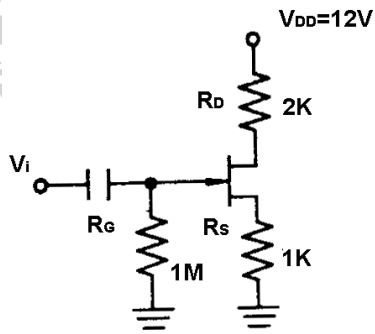
(1) Akaca uygulanan tek bir  $V_{DD}$  gerilim kaynağı mevcuttur ve uygun bir çalışma noktası elde etmek için, kapı-kaynak arasında kendinden öngerilim oluşturulabilir.

(2)  $R_i$  çok büyük olduğu için,  $I_G \approx 0$ ,  $V_{RG} = 0 = V_G$ ,  $V_S = I_S \times R_S \approx I_D \times R_S$ ,  $V_{GS} = V_G - V_S = 0 - V_S = -I_D \times R_S$ .

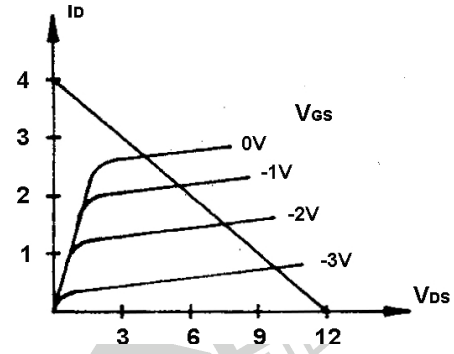
(3) Yük doğrusunun çizilmesi:

- Çıkış devresinin çevre gerilimleri denkleminde:  $V_{DD} = I_D R_D + V_{DS} + I_D R_S$
- $I_D = 0$  iken,  $V_{DS} = V_{DD} = 12V$  (A noktası)
- $V_{DS} = 0$  iken,  $I_D = \frac{V_{DD}}{R_D + R_S} = \frac{12V}{3K} = 4mA$  (B noktası).
- A ve B noktaları arasına çizilecek doğru, DC yük doğrusudur.

Çalışma noktası,  $V_{GS}$  eğrisi ile bu yük doğrusunun kesişimidir.



(a) Öngerilim devresi



(b) Çıkış karakteristiği

Şekil 9-1-2 Kendinden öngerilimli JFET devresi

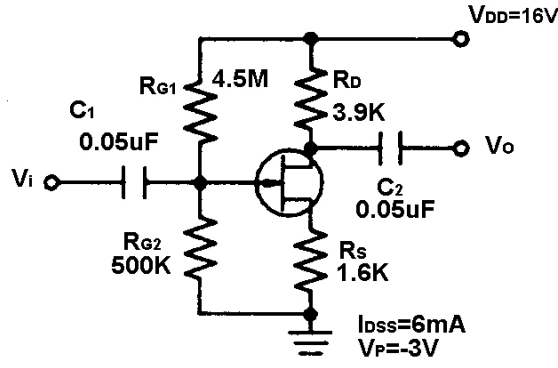
### 3. JFET için gerilim bölücülü öngerilim düzenlemesi

Şekil 9-1-3'te JFET için gerilim bölücülü öngerilim devresi gösterilmiştir. Bu devrede,  $V_G$ 'nin artık sıfır olarak ayarlanmaması dışında,  $V_{SG}$  ve  $I_D$  çözümleri kendinden öngerilimli devreninkilerle aynıdır.

$$V_G = V_{DD} \frac{R_2}{R_1 + R_2}$$

$$V_{GS} = V_G - I_D \times R_S$$

$$I_{DQ} = I_{DSS} \left(1 - \frac{V_{GSQ}}{V_P}\right)^2$$



Şekil 9-1-3 JFET için gerilim bölücülü öngerilim devresi

FET küçük sinyal analizi ve FET'li yükselteç uygulaması üç ayrı konfigürasyonla gerçekleştirilebilir:

1. Ortak kaynak (CS)
2. Ortak akaç (CD)
3. Ortak kapı (CG)

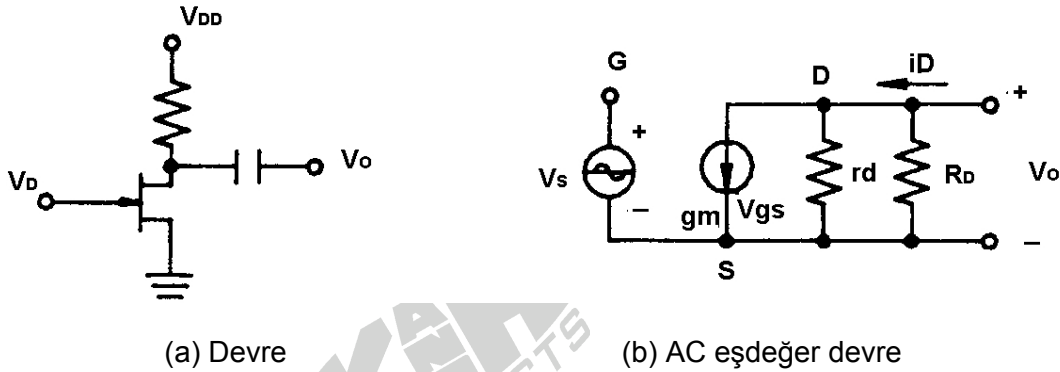
### JFET CS yükselteç

Şekil 9-1-4, ortak kaynak (CS) yükselteç devresini göstermektedir.

$$A_v = \frac{V_o}{V_s} = \frac{-\mu R_D}{r_d + R_D} = g_m R_d' \quad R_d' = r_d \parallel R_D$$

$$Z_o = r_d + (1 + \mu) R_s, \quad Z_o' = R_D \parallel Z_o, \quad \mu = g_m \times r_d$$

Çıkış fazı  $180^\circ$  ters çevrilmiştir.

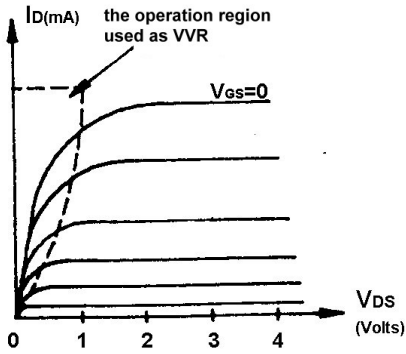


Şekil 9-1-4 JFET CS yükselteç

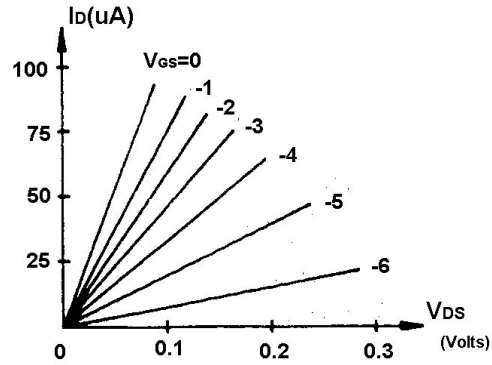
### Gerilim kontrollü (değişken) direnç olarak FET (VVR veya VCR)

Şekil 9-1-5(a)'da gösterilen akaç karakteristik eğrisinden şu sonuçlar elde edilebilir: FET,  $V_{DS}$ 'nin çok küçük ancak yine de kısmının ötesinde olduğu omik bölgede çalışırken, akaç akımı,  $V_{DS}$  akaç-kaynak gerilimiyle doğru orantılıdır. Diğer bir ifadeyle, akaç-kaynak arasındaki kanalın direnci,  $V_{GS}$  tarafından kontrol edilir ve FET, direnci kontrol etmek için gerilimin kullanıldığı gerilim-ayarlı direnç (VVR) gibi davranır.

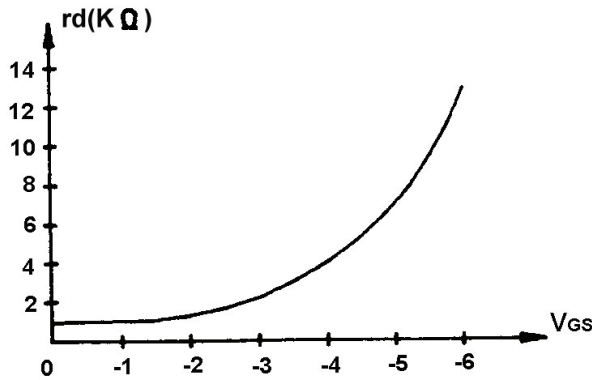
Şekil 9-1-5(b)'de, FET'in gerilim kontrollü direnç olarak çalışması için uygun olan düşük seviye bölgesindeki yükseltme parçası gösterilmiştir. Her bir eğrinin eğimi  $R_{ds}$ 'yi temsil ettiği için  $R_{ds}$ 'nin  $V_{GS}$  kontrol geriliminin bir fonksiyonu olup olmadığı anlaşılabilir. Örneğin  $V_{GS} = 0$  için eğim çok fazla ve direnç minimumken,  $V_{GS} = -6V$  için eğim çok düşük ve direnç maksimumdur. Şekil 9-1-5(b)'de gösterilen FET direncinin kontrol gerilimine bağlı değişimi, Şekil 9-1-5(c)'deki eğri ile de gösterilebilir. Burada  $r_d$ 'nin  $V_{GS}$  ile birlikte arttığı ancak bu artışın doğrusal olmadığı açıkça görülmektedir.



(a) Omik bölge



(b) Omik bölgede  $I_D$ - $V_{DS}$  eğrisi



(c)  $r_d$ - $V_{GS}$  eğrisi

Şekil 9-1-5 VVR olarak kullanılan FET'in çalışma durumu

## KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devresi Laboratuarı
2. KL-25005 FET Devre Deney Modülü
3. Multimetre
4. Osiloskop

## DENEYİN YAPILIŞI

### A. Kendinden Öngerilimli Ortak Kaynak JFET Yükseltici

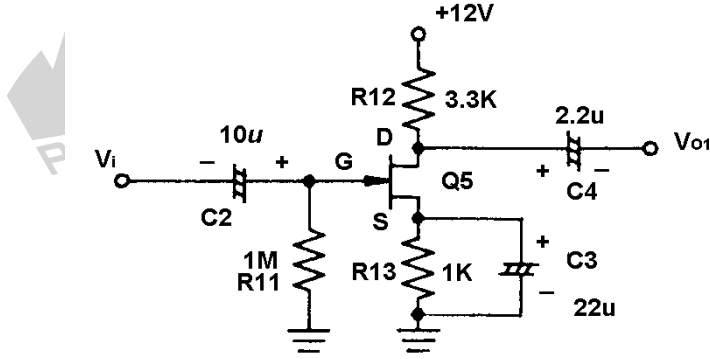
1. KL-25005 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzenekinin üzerine koyun ve c bloğunun konumunu belirleyin.
2. Şekil 9-1-6'daki devre ve Şekil 9-1-7'deki bağlantı diyagramı (# işaretli klips hariç) yardımıyla gerekli bağlantıları yapın. KL-22001 Düzenekindeki sabit 12VDC güç kaynağını, KL-25005 modülüne bağlayın.  $R_D$ ,  $R_{12}(3.3K\Omega)$ 'dir.
3. DC voltmetre kullanarak,  $V_{DS}$ ,  $V_{GS}$  ve  $V_D$ 'yi ölçün ve Tablo 9-1-1'e kaydedin.
4. KL-22001 Düzenekinin üzerindeki Fonksiyon Üretecini kullanarak, IN (TP1) ucuna 1KHz'lik bir sinüzoidal işaret uygulayın. OUT1 (TP5) çıkış ucuna osiloskop bağlayın.
5. Osiloskop ekranında görüntülenen çıkış dalga şekli bozulmayacak şekilde, sinüzoidal sinyalin genliğini artırın. IN ucundaki giriş dalga şeklini ve OUT1 ucundaki çıkış dalga şeklini ölçün ve Tablo 9-1-1'e kaydedin. Giriş ve çıkış sinyalleri arasındaki faz farkını karşılaştırın.  $A_v$ 'yi hesaplayın.
6.  $R_{12}$  ( $3.3K\Omega$ ) ile akaç arasındaki klipsi çıkartın.  $R_D$  değerini  $R_{12}$ 'den  $R_{16}$  ( $6.8K\Omega$ )'ya değiştirmek için # işaretli klipsi devreye yerleştirin. 3. adımdan 5. adıma kadar olan işlemleri tekrarlayın.

7. Yeniden  $R_D=R_{12}$  ( $3.3K\Omega$ ) yapın ve  $C_3$  ( $22\mu F$ )'ü devre dışı bırakın. 3. adımdan 5. adıma kadar olan işlemleri tekrarlayın.

	R12	$V_{DS}$	$V_{GS}$	$V_D$	$A_v = \frac{V_{opp}}{V_{ipp}}$	Giriş/çıkış arasındaki faz farkı
	3.3K					
GİRİŞ						
ÇIKIŞ						
	R16	$V_{DS}$	$V_{GS}$	$V_D$	$A_v = \frac{V_{opp}}{V_{ipp}}$	Giriş/çıkış arasındaki faz farkı
	6.8K					
GİRİŞ						
ÇIKIŞ						

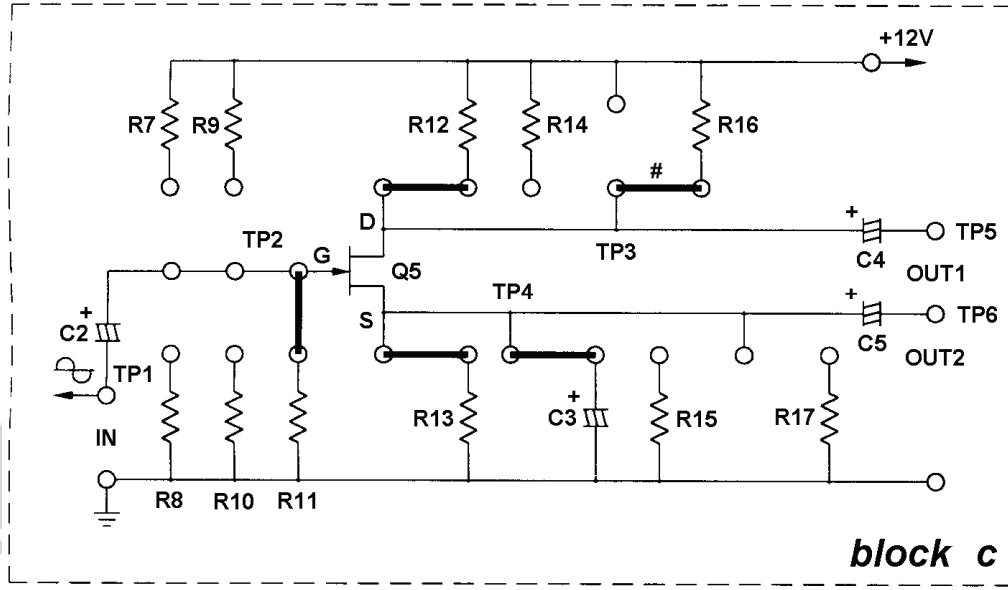
	C3	$V_{DS}$	$V_{GS}$	$V_D$	$A_v = \frac{V_{opp}}{V_{ipp}}$	Giriş/çıkış arasındaki faz farkı
	Bağlı değil					
GİRİŞ						
ÇIKIŞ						

Tablo 9-1-1



Şekil 9-1-6 Kendinden öngerilimli ortak-kaynak yükseltici


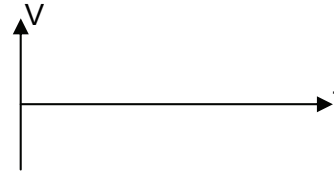






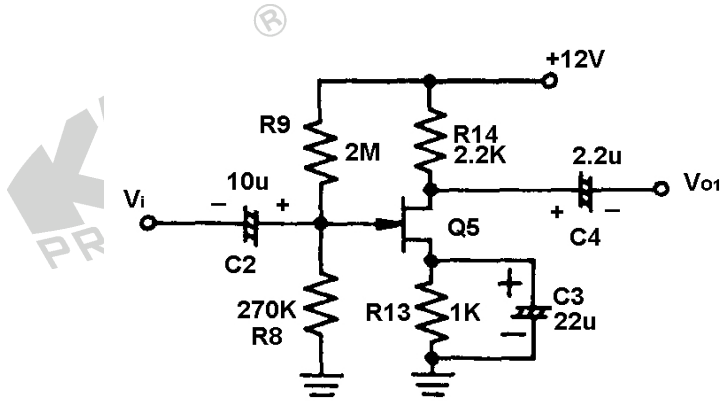
Şekil 9-1-7 Bağlantı diyagramı (KL-25005 blok c)

## B. Gerilim Bölücülü Öngerilimli Ortak Kaynak JFET Yükseltici

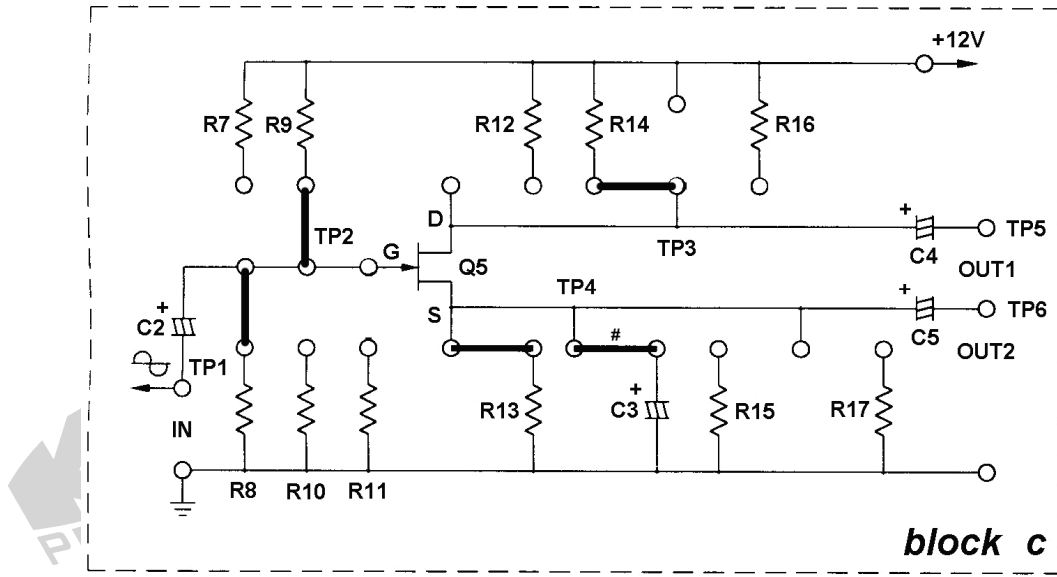
1. Şekil 9-1-8'deki devre ve Şekil 9-1-9'daki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzenegindeki sabit 12VDC güç kaynağını, KL-25005 modülüne bağlayın.
2. DC voltmetre kullanarak,  $V_{DS}$  ve  $V_{GS}$ 'yi ölçün ve Tablo 9-1-2'ye kaydedin.
3. KL-22001 Düzeneginin üzerindeki Fonksiyon Üreticini kullanarak, IN (TP1) ucuna 1KHz'lik bir sinüzoidal işaret uygulayın. OUT1 (TP5) çıkış ucuna osiloskop bağlayın.
4. Osiloskop ekranında görüntülenen çıkış dalga şekli bozulmayacak şekilde, sinüzoidal sinyalin genliğini artırın. IN ucundaki giriş dalga şeklini ve OUT1 ucundaki çıkış dalga şeklini ölçün ve Tablo 9-1-2'ye kaydedin. Giriş ve çıkış sinyalleri arasındaki farz farkını karşılaştırın.  $A_V$ 'yi hesaplayın.
5. # işaretli klipsi çıkartarak C3'ü devre dışı bırakın ve 2. adımdan 4. adıma kadar olan işlemleri tekrarlayın.

	V <sub>DS</sub>	V <sub>GS</sub>	C3	V <sub>DS</sub>	V <sub>GS</sub>	C3
			22µF			Bağlı değil
GİRİŞ						
ÇIKIŞ						
$A_v = \frac{V_{opp}}{V_{ipp}}$						
Giriş/çıkış arasındaki faz farkı						

Tablo 9-1-2



Şekil 9-1-8 Gerilim bölücü öngerilimli ortak kaynak yükselteç



Şekil 9-1-9 Bağlantı diyagramı (KL-25005 blok c)

## SONUÇLAR

Bu deneyde, ortak kaynaklı JFET yükseltecin giriş ve çıkış sinyalleri arasındaki faz farkı ve gerilim kazancı ölçülmüştür. Ortak emetörlü transistörlü yükselteçte olduğu gibi, giriş ve çıkış sinyalleri arasında  $180^\circ$  faz farkı vardır.

Gerilim kazancı,  $R_D$ 'nin büyüklüğüne bağlıdır.  $R_D$  değeri büyüdükçe, gerilim kazancı da artmaktadır ( $A_v = g_m R_d', R_d' = r_d // R_D$ ). Bunun yanında, kaynak köprüleme kondansatörü de gerilim kazancını etkilemektedir. Eğer köprüleme kondansatörü devre dışı bırakılırsa, negatif geribesleme ortaya çıktığı için, ortak kaynak yükseltecin gerilim kazancı azalır.

## DENEY 9-2 Ortak-Akaçlı (CD) JFET Yükselteç

### DENEYİN AMACI

1. Ortak-akaçlı JFET yükseltecin öngerilim düzenlemesini anlamak.
2. Ortak-akaçlı JFET yükseltecin statik ve dinamik karakteristiklerini ölçmek.

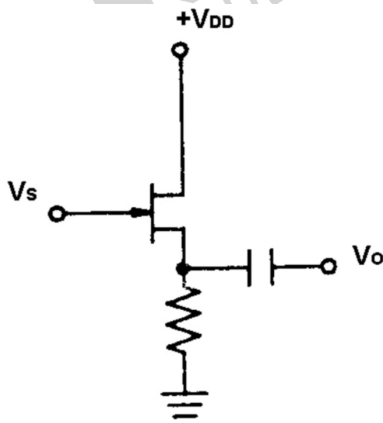
### GENEL BİLGİLER

JFET'li ortak-akaç yükselteç devresi Şekil 9-2-1'de gösterilmiştir. Bu yükseltecin özellikleri ortak kollektörlü transistörlü yükselteç ile benzerdir. Ortak akaçlı yükseltecin ac karakteristikleri:

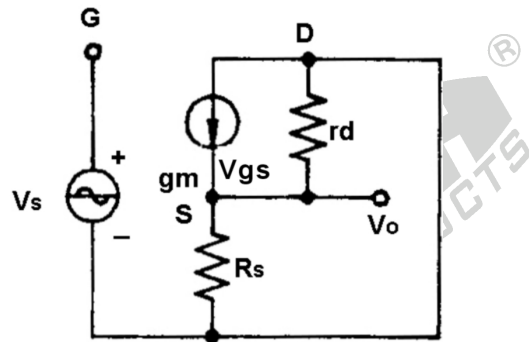
$$A_v = \frac{V_o}{V_s} = \frac{\mu}{1 + \mu} \cong 1 \quad (1\text{'den biraz küçük})$$

$$Z_o = \frac{R_d + r_d}{1 + \mu} \text{ çok küçüktür, } Z_o' = Z_o // R_s$$

Çıkış sinyalinin fazı giriş sinyaliyle aynıdır.  $Z_i$  çok büyüktür ( $Z_i = \infty$ ).



(a) Devre



(b) AC eşdeğer devre

Şekil 9-2-1 Ortak akaçlı JFET yükselteci



## KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devresi Laboratuvarı
2. KL-25005 FET Devre Deney Modülü
3. Osiloskop

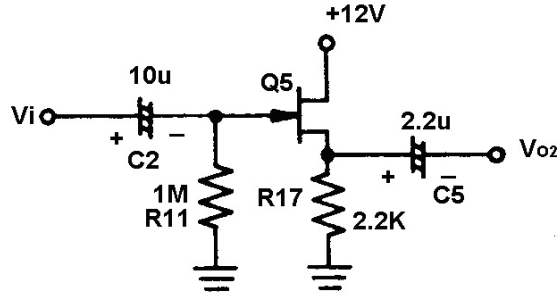
## DENEYİN YAPILIŞI

### A. Kendinden Öngerilimli Ortak-Akaçlı JFET Yükselteci

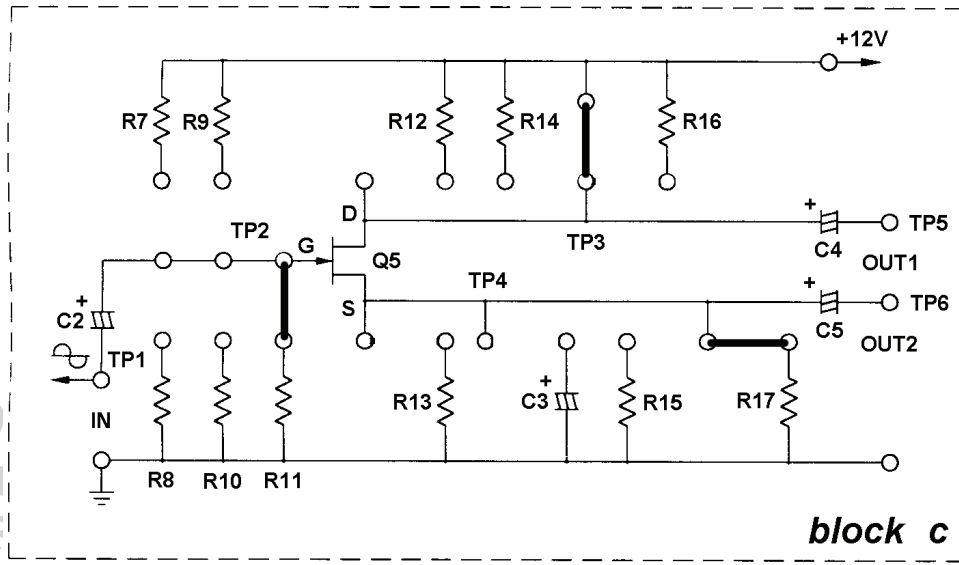
1. KL-25005 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzenekinin üzerine koyun ve c bloğunun konumunu belirleyin. Şekil 9-2-2'deki devre ve Şekil 9-2-3'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzenekindeki 12VDC sabit güç kaynağını, KL-25005 modülüne bağlayın.
2. DC voltmetre kullanarak,  $V_G$ ,  $V_S$  ve  $V_{GS}$ 'yi ölçün.  
 $V_G =$  \_\_\_\_\_  
 $V_S =$  \_\_\_\_\_  
 $V_{GS} =$  \_\_\_\_\_
3. KL-22001 Düzenekinin üzerindeki Fonksiyon Üreticini kullanarak, IN (TP1) ucuna 1KHz'lik bir sinüzoidal işaret uygulayın. OUT2 (TP6) çıkış ucuna osiloskop bağlayın.
4. Osiloskop ekranında görüntülenen çıkış dalga şekli bozulmayacak şekilde, sinüzoidal sinyalin genliğini artırın. IN ucundaki giriş dalga şeklini ve OUT2 ucundaki çıkış dalga şeklini ölçün ve Tablo 9-2-1'e kaydedin. Giriş ve çıkış sinyalleri arasındaki faz farkını karşılaştırın.  $A_v$ 'yi hesaplayın.

GİRİŞ	
ÇIKIŞ	
$A_v = \frac{V_{opp}}{V_{ipp}}$	
Giriş/çıkış arasındaki faz farkı	

Tablo 9-2-1





Şekil 9-2-2



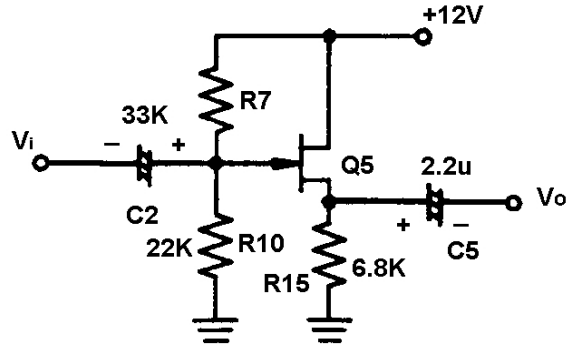
Şekil 9-2-3 Bağlantı diyagramı (KL-25005 blok c)

### B. Gerilim Bölücülü Öngerilimli Ortak Akaç JFET Yükseltici

- Şekil 9-2-4'teki devre ve Şekil 9-2-5'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzeneğindeki 12VDC sabit güç kaynağını, KL-25005 modülüne bağlayın.
- DC voltmetre kullanarak,  $V_G$ ,  $V_S$  ve  $V_{GS}$ 'yi ölçün.  
 $V_G =$  \_\_\_\_\_  
 $V_S =$  \_\_\_\_\_  
 $V_{GS} =$  \_\_\_\_\_
- KL-22001 Düzeneğinin üzerindeki Fonksiyon Üreticini kullanarak, IN (TP1) ucuna 1KHz'lik bir sinüzoidal işaret uygulayın. OUT2 (TP6) çıkış ucuna osiloskop bağlayın.
- Osiloskop ekranında görüntülenen çıkış dalga şekli bozulmayacak şekilde, sinüzoidal sinyalin genliğini artırın. IN ucundaki giriş dalga şeklini ve OUT2 ucundaki çıkış dalga şeklini ölçün ve Tablo 9-2-1'e kaydedin. Giriş ve çıkış sinyalleri arasındaki faz farkını karşılaştırın.  $A_v$ 'yi hesaplayın.

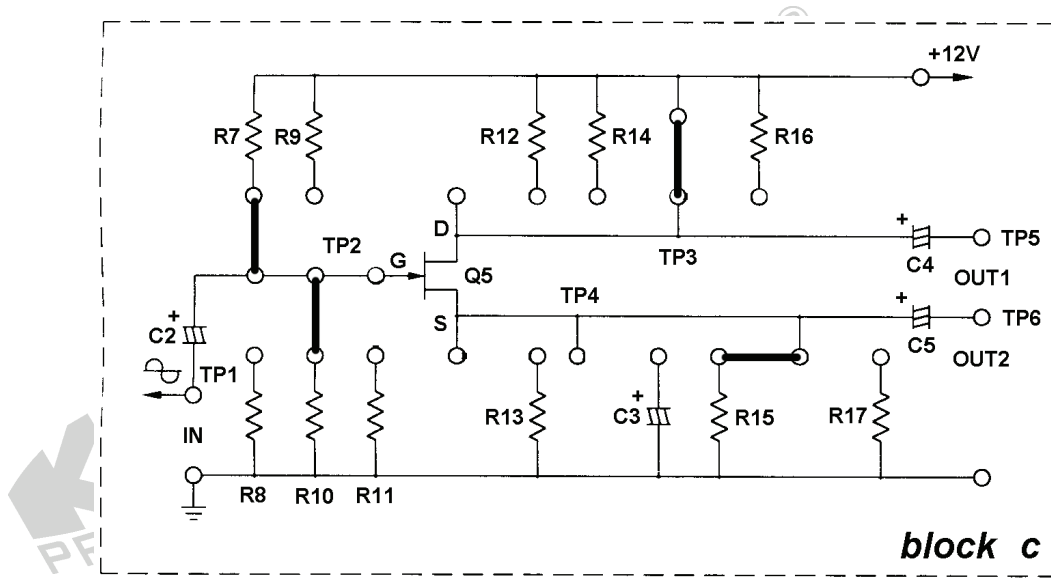
GİRİŞ	
ÇIKIŞ	
$A_v = \frac{V_{opp}}{V_{ipp}}$	
Giriş/çıkış arasındaki faz farkı	

Tablo 9-2-2



Şekil 9-2-4





Şekil 9-2-5 Bağlantı diyagramı (KL-25005 blok c)

## SONUÇLAR

Bu deneyde, ortak-akaçlı JFET yükseltecin giriş ve çıkış sinyalleri arasındaki faz farkı ve gerilim kazancı ölçülmüştür. Ortak kollektörlü yükselteçte olduğu gibi, giriş ve çıkış sinyalleri arasında faz farkı yoktur ( $0^\circ$ ). Ortak-akaçlı JFET yükseltecin gerilim kazancı 1'den biraz küçüktür.

## DENEY 9-3 Ortak Kaynaklı (CS) MOSFET Yükselteç

### DENEYİN AMACI

1. Ortak kaynaklı MOSFET yükseltecin öngerilim düzenlemesini anlamak.
2. Ortak kaynaklı MOSFET yükseltecin dinamik karakteristiklerini ölçmek.

### GENEL BİLGİLER

Şekil 9-3-1'de, n-kanallı kanal ayarlamalı MOSFET için gerilim bölücülü öngerilim devresi gösterilmiştir.

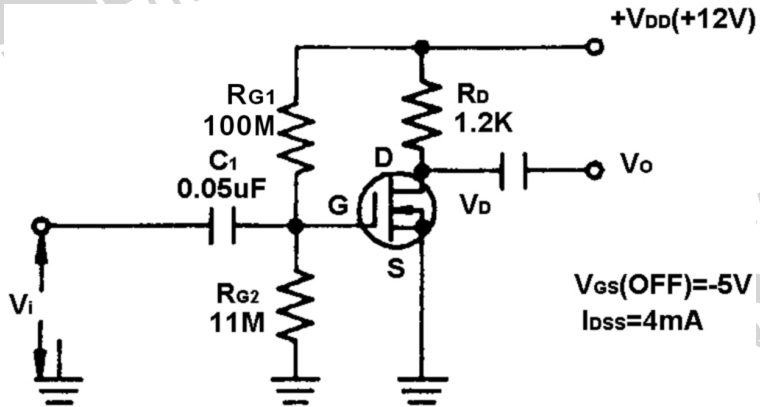
Thevenin teoreminden,

$$V_{GQ} = V_{DD} \times \frac{R_{G2}}{R_{G1} + R_{G2}}$$

$$V_{GSQ} = V_G - V_S = V_G$$

$$V_{DSQ} = V_{DD} - I_D (R_S + R_D)$$

$$I_{DQ} = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2$$



Şekil 9-3-1 N-kanallı kanal ayarlamalı MOSFET için gerilim bölücülü öngerilim devresi





## **KULLANILACAK ELEMANLAR**

1. KL-22001 Temel Elektrik Devresi Laboratuvarı
2. KL-25005 FET Devre Deney Modülü
3. Osiloskop

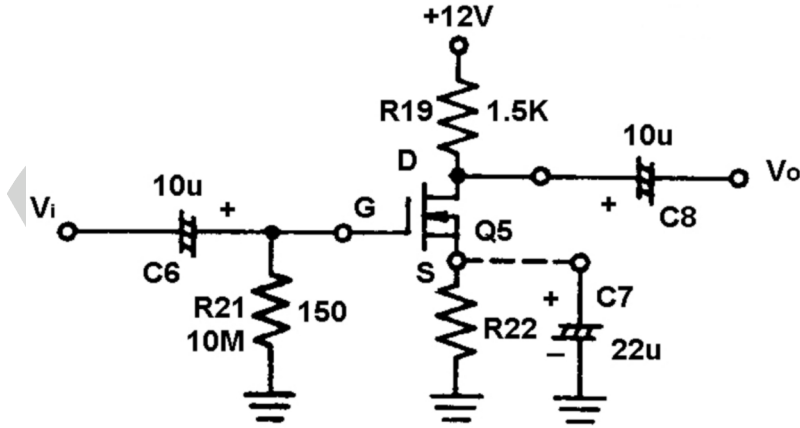
## **DENEYİN YAPILIŞI**

### **A. Kendinden Öngerilimli Ortak-Kaynaklı MOSFET Yükselteç**

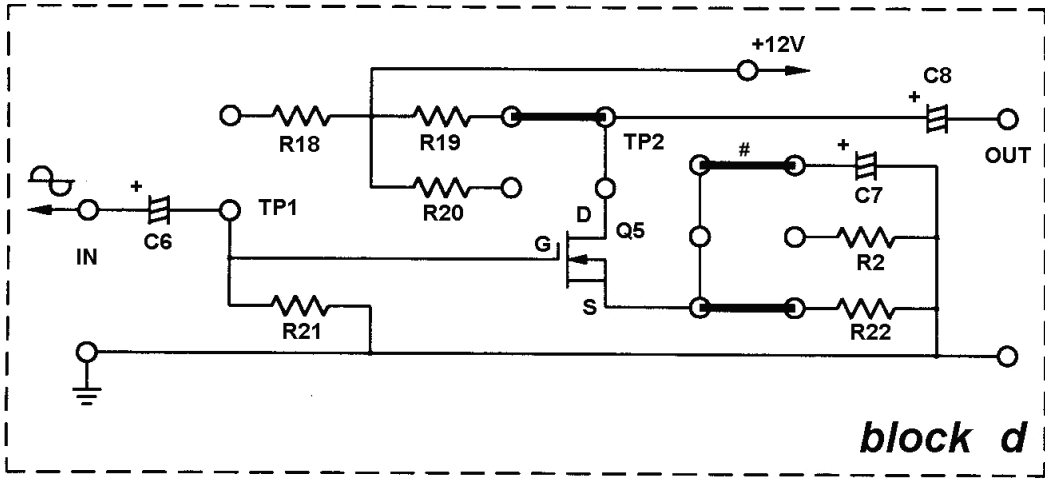
1. KL-25005 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzenekinin üzerine koyun ve d bloğunu belirleyin. Şekil 9-3-2'deki devre ve Şekil 9-3-3'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzenekindeki sabit 12VDC güç kaynağını, KL-25005 modülüne bağlayın.
2. KL-22001 Düzenekindeki Fonksiyon Üreticini kullanarak, IN ucuna 1KHz'lik bir sinüzoidal işaret uygulayın. OUT çıkış ucuna osiloskop bağlayın.
3. Osiloskop ekranında görüntülenen çıkış dalga şekli bozulmayacak şekilde, sinüzoidal sinyalin genliğini artırın. IN ucundaki giriş dalga şeklini ve OUT ucundaki çıkış dalga şeklini ölçün ve Tablo 9-3-1'e kaydedin. Giriş ve çıkış sinyalleri arasındaki faz farkını karşılaştırın.  $A_v$ 'yi hesaplayın.
4. # işaretli klipsi çıkartarak C7(22 $\mu$ F)'yi devre dışı bırakın. 2. ve 3. adımdaki işlemleri tekrarlayın.

	C7=22μF	C7 bağlı değil
GİRİŞ		
ÇIKIŞ		
$A_v = \frac{V_{opp}}{V_{ipp}}$		
Giriş/çıkış arasındaki faz farkı		

Tablo 9-3-1







Şekil 9-3-2 Kendinden öngerilimli MOSFET CS yükselteç



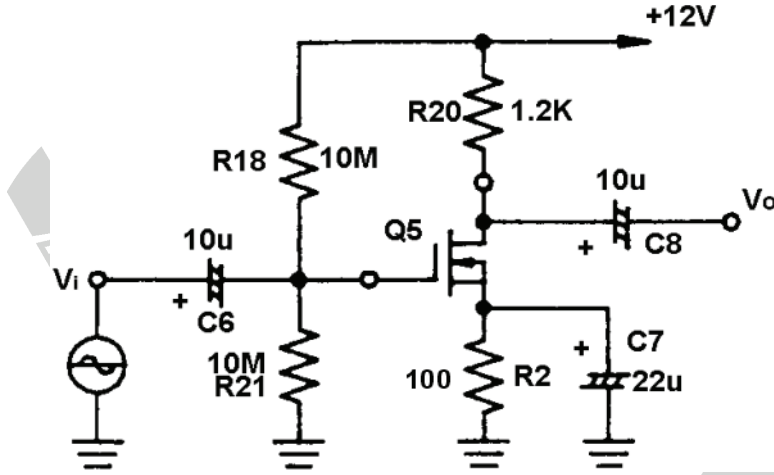
Şekil 9-3-3 Bağlantı diyagramı (KL25005 blok d)

### B. Gerilim Bölücülü Öngerilimli Ortak-Kaynak JFET Yükseltici

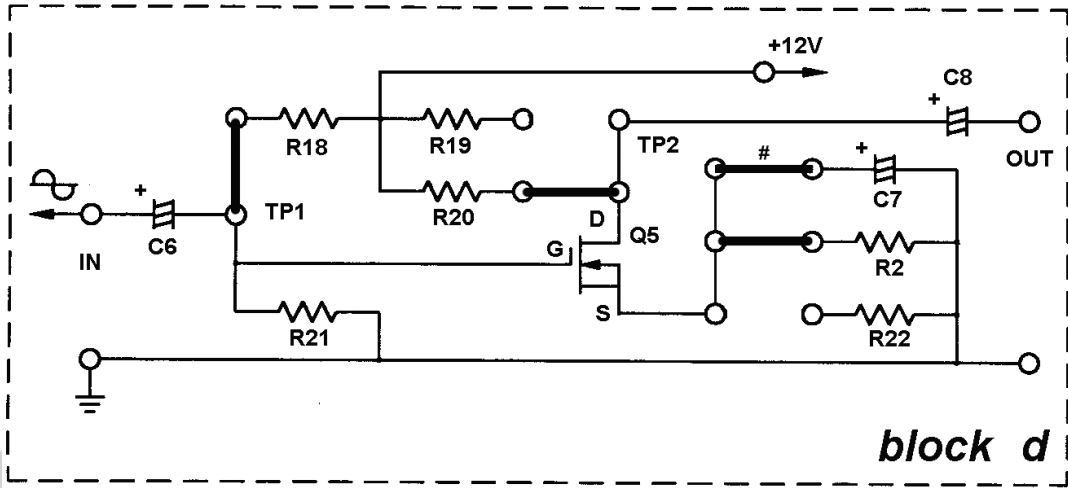
1. Şekil 9-3-4'teki devre ve Şekil 9-3-5'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzenegindeki sabit 12VDC güç kaynağını, KL-25005 modülüne bağlayın.
2. KL-22001 Düzenegindeki Fonksiyon Üreticini kullanarak, IN ucuna 1KHz'lik bir sinüzoidal işaret uygulayın. OUT çıkış ucuna osiloskop bağlayın.
3. Osiloskop ekranında görüntülenen çıkış dalga şekli bozulmayacak şekilde, sinüzoidal sinyalin genliğini artırın. IN ucundaki giriş dalga şeklini ve OUT ucundaki çıkış dalga şeklini ölçün ve Tablo 9-3-2'ye kaydedin. Giriş ve çıkış sinyalleri arasındaki farz farkını karşılaştırın.  $A_v$ 'yi hesaplayın.
4. # işaretli klipsi çıkartarak C7(22 $\mu$ F)'yi devre dışı bırakın. 2. ve 3. adımdaki işlemleri tekrarlayın.

	C7=22μF	C7 bağlı değil
GİRİŞ		
ÇIKIŞ		
$A_v = \frac{V_{opp}}{V_{ipp}}$		
Giriş/çıkış arasındaki faz farkı		

Tablo 9-3-2



Şekil 9-3-4 Gerilim bölücülü öngerilimli MOSFET CS yükselteç



Şekil 9-3-5 Bağlantı diyagramı (KL25005 blok d)

## SONUÇLAR

Bu deneyde ortak kaynaklı MOSFET yükseltecin giriş ve çıkış sinyalleri arasındaki faz farkı ve gerilim kazancı ölçülmüştür. Ortak kaynaklı JFET yükseltecinde olduğu gibi, ortak kaynaklı MOSFET yükseltecin giriş ve çıkış sinyalleri arasında da  $180^\circ$  faz farkı vardır.

Bunun yanında, kaynak köprüleme kondansatörü de gerilim kazancını etkilemektedir. Eğer köprüleme kondansatörü devre dışı bırakılırsa, negatif geribesleme ortaya çıktığı için, ortak kaynaklı MOSFET yükseltecin gerilim kazancı azalır.